

(51) Int. Cl.<sup>6</sup>H01L 27/108  
21/8242

識別記号

FI  
H01L 27/10

625A

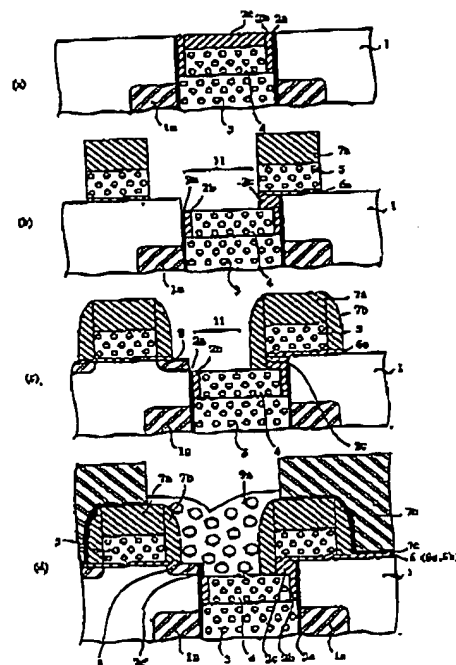
審査請求 未請求 請求項の数4 OL (全6頁)

(21) 出願番号 特願平9-175384  
(22) 出願日 平成9年(1997) 7月1日(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 宇都宮 博昭  
大分市大字松岡3500番地 株式会社東芝大  
分工場内  
(72) 発明者 小林 英行  
三重県四日市市山之一色町800番地 株式  
会社東芝四日市工場内  
(72) 発明者 西川 健一  
三重県四日市市山之一色町800番地 株式  
会社東芝四日市工場内  
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 良好なストラップコンタクトを形成する方法の提供

【解決手段】 キャパシタ電荷蓄積ノード4 上に一部重なるよう、絶縁膜2cを介してワード線5 が形成されたSi基板1 表面に、SiN 膜7bを形成した後パターニングし、ワード線5 の側面にのみSiN 膜7bを残存した後、ソース領域8 及びドレイン領域を形成する。次いで、Si基板1 表面に順次、SiO<sub>2</sub> 膜6b、SiN 膜7c、BPSG膜7dを堆積させ、ワード線5 間のこれらの膜をRIE で除去し、キャパシタ電荷蓄積ノード4 とのコンタクトを開孔する。この時、キャパシタ電荷蓄積ノード4 上のソース領域8 形成予定部側面にSiN 膜7cが残存している。その表面に、パターニングしたPoly Si 膜9aを形成し、ストラップコンタクト9 を形成する。従って、Poly Si 膜9aと半導体基板は直接接触せず、縦形寄生MOS が発生することはない。

## 【特許請求の範囲】

【請求項1】 第一導電型の半導体基板に形成された第二導電型のソース領域、及びワード線となるゲート電極を有するトランジスタと、  
このソース領域に近接するトレンチにおいて、前記半導体基板表面より窪んだ所定位置まで、外側を第一の絶縁膜で覆われた第一の導電膜を有するトレンチキャパシタと、  
このトレンチキャパシタ表面から前記ソース領域の主表面より窪んだ所定位置迄、形成された第二の導電膜を有するキャパシタ電極と、  
前記ソース領域上面及びキャパシタ電極上面と接触することにより電気的接続をとる電極と、  
前記ゲート電極及びキャパシタ電極上に同時に形成された第二の絶縁膜を選択的に除去することにより、前記ゲート電極の側面、及び前記キャパシタ電極上のトレンチのソース領域側の内側面に形成された第二の絶縁膜とを有することを特徴とする半導体装置。  
【請求項2】 第一導電型の半導体基板に設けられたトレンチ内側面を、第一の絶縁膜で覆い、この半導体基板表面より窪んだ所定位置まで第一の導電膜を埋め込みトレンチキャパシタを形成する工程と、  
前記第一の導電膜表面から、前記半導体基板表面より窪んだ所定位置まで第二の導電膜を堆積しキャパシタ電極を形成する工程と、  
前記キャパシタ電極上から、前記半導体基板表面迄、第二の絶縁膜を形成する工程と、  
第二の絶縁膜を形成した後、半導体基板表面にゲート絶縁膜を介し第三の導電膜を形成し、このゲート絶縁膜、及び第三の導電膜を所定形状に除去しワード線となるゲート電極を形成する工程と、  
ゲート電極を形成した後、キャパシタ電極上の第二の絶縁膜を選択的に除去し、キャパシタ電極の一部を露出させる工程と、  
第二の絶縁膜を除去した後、前記半導体基板表面に、第三の絶縁膜を形成する工程と、  
この第三の絶縁膜を選択的に除去し、前記ゲート電極側面に第三の絶縁膜を残存させる工程と、  
第三の絶縁膜を残存させた後、不純物イオンを注入し、ソース領域及び、ドレイン領域を形成する工程と、  
ソース領域を形成した後、前記半導体基板表面に第四の絶縁膜を形成する工程と、  
第四の絶縁膜を形成した後、この第四の絶縁膜を選択的に除去し、キャパシタ電極上面乃至ソース領域表面を露出させ、前記キャパシタ電極とのコンタクト孔を開孔する工程と、  
コンタクト孔を開孔した後、全面に第三の導電膜を堆積する工程と、  
第三の導電膜をパターニングして、前記ソース領域上面とキャパシタ電極上面とを接続する電極を形成する工程

とを有することを特徴とする半導体装置の製造方法。

【請求項3】 上記ゲート電極側面に第三の絶縁膜を残存させる工程において、キャパシタ電極上のソース領域形成予定側の半導体基板側面に、第三の絶縁膜を残存させることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 上記コンタクト孔を開孔する工程において、キャパシタ電極上のソース領域形成予定側の半導体基板側面に、第四の絶縁膜を残存させることを特徴とする請求項2記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法、特にストラップコンタクトの製造方法に関する。

## 【0002】

【従来の技術】 DRAM(Dynamic Random Access Memory)の容量は、微細加工技術の進歩に伴い、約3年で4倍の速度で増大している。この大容量化に伴い、メモリセルの記憶キャパシタ値は、自然放射線などによる偶発的な不良動作(ソフトエラー)防止・センスアンプのセンス確保のため、数10 fF以上を確保しなければならない。

【0003】 そのため、DRAMを構成するメモリセルには、大容量を得られるトレンチキャパシタを有するMOSが主流となっている。そのうち、トレンチキャパシタ及びその電極(以下、キャパシタ電荷蓄積ノードと称す)を同じトレンチ内に有する構造は、ソース領域にトレンチキャパシタを近接できるため、微細化に適した構造として知られている。尚、この構造では、キャパシタ電荷蓄積ノードとMOSFETのソース領域とのコンタクト(以下、ストラップコンタクトと称す)が必要となる。

【0004】 以下、図面を参照してストラップコンタクトの製造方法を説明する。図4(a)乃至(c)は、ストラップコンタクトの製造工程を示す概略断面図である。

【0005】 (1) n型拡散層1nが埋め込められたP型Si基板1にトレンチを形成した後、その側面をキャパシタ絶縁膜2a(外側よりSi<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>の2層からなる)で覆い、所定の高さ迄、n型不純物をドーブしたPoly Si膜3nを埋め込みトレンチキャパシタを形成する。更に、Poly Si膜3n上のトレンチの側面に、SiO<sub>2</sub>膜2bを形成した後、所定の高さ迄、キャパシタ電荷蓄積ノード4となるn型不純物をドーブしたPoly Si膜4nを埋め込む。続いて、キャパシタ電荷蓄積ノード4とその上に形成されるワード線5を分離するため、Si基板1の主表面と同じ高さ迄、SiO<sub>2</sub>膜2cを形成する(図4(a)図示)。

【0006】 (2) Si基板1表面に、ゲート絶縁膜となるSiO<sub>2</sub>膜6aを形成した後、順にPolySi膜、SiN膜7aを形成した後、パターニングしワード線5を形成する。表面に、SiN膜7bを形成した後、RIEでパターニングし、ワード線5の側面にのみSiN膜7bを残存させる。そし

(3)

4

3  
て、セルフアライン法を用い、不純物を注入し、ソース領域8及びドレイン領域を形成する(図4(b)図示)。

【0007】(3)次いで、Si基板1表面に順次、SiO<sub>2</sub>膜6b、SiN膜7c、BPSG膜7dを堆積した後、ストラップコンタクト形成予定領域のSiO<sub>2</sub>膜2c、6、SiN膜7c、BPSG膜7dをR1Eで除去し、キャパシタ電荷蓄積ノード4とのコンタクトを開孔する。そして、不純物をドーピングしたPoly Si膜9aを形成し、コンタクト孔以外に堆積したPoly Si膜9aを除去し、ストラップコンタクト9を形成する(図4(c)図示)。

【0008】

【発明が解決しようとする課題】コンタクト孔を開孔する際、キャパシタ電荷蓄積ノード4表面のSiO<sub>2</sub>膜2cが厚いため、確実にキャパシタ電荷蓄積ノード4表面を露出させるためには、加工マージンを考慮してオーバーエッチングを行なう。そのため、キャパシタ電荷蓄積ノード4の側面のSiO<sub>2</sub>膜2a、2bまでエッチングされる。

【0009】この場合、ストラップコンタクト9用のPoly Si膜9aがMOS FETのソース領域8に近づく上に、その後の熱処理によりPoly Si膜9aの不純物がSi基板1に導入され拡散層10が形成されうる。

【0010】よって、この拡散層10により縦形寄生MOSが動作し易くなる問題を有していた。更には、拡散層10とトレンチキャパシタ周辺のn型拡散層1nが接触し、リーク電流を発生する不具合が生じる問題を有していた。そこで、本発明は、上記問題を解決し、所望の形状のストラップコンタクトを形成する方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置では、第一導電型の半導体基板に形成された第二導電型のソース領域、及びワード線となるゲート電極を有するトランジスタと、このソース領域に近接するトレンチにおいて、前記半導体基板表面より窪んだ所定位置まで、外側を第一の絶縁膜で覆われた第一の導電膜を有するトレンチキャパシタと、このトレンチキャパシタ表面から前記ソース領域の主表面より窪んだ所定位置迄、形成された第二の導電膜を有するキャパシタ電極と、前記ソース領域上面及びキャパシタ電極上面と接触することにより電氣的接続をとる電極と、前記ゲート電極及びキャパシタ電極上に同時に形成された第二の絶縁膜を選択的に除去することにより、前記ゲート電極の側面、及び前記キャパシタ電極上のトレンチのソース領域側の内側面に設けられた第二の絶縁膜とを有することを特徴とする。

【0012】また、上記目的を達成するために、本発明の半導体装置の製造方法では、第一導電型の半導体基板に設けられたトレンチ内側面を、第一の絶縁膜で覆い、この半導体基板表面より窪んだ所定位置まで第一の導電膜を埋め込みトレンチキャパシタを形成する工程と、前

記第一の導電膜表面から、前記半導体基板表面より窪んだ所定位置まで第二の導電膜を堆積しキャパシタ電極を形成する工程と、前記キャパシタ電極上から、前記半導体基板表面迄、第二の絶縁膜を形成する工程と、第二の絶縁膜を形成した後、半導体基板表面にゲート絶縁膜を介し第三の導電膜を形成し、このゲート絶縁膜、及び第三の導電膜を所定形状に除去しゲート電極を形成する工程と、ゲート電極を形成した後、キャパシタ電極上の第二の絶縁膜を選択的に除去し、キャパシタ電極の一部を露出させる工程と、第二の絶縁膜を除去した後、前記半導体基板表面に、第三の絶縁膜を形成する工程と、この第三の絶縁膜を選択的に除去し、前記ゲート電極側面に第三の絶縁膜を残存させる工程と、第三の絶縁膜を残存させた後、不純物イオンを注入し、ソース領域及び、ドレイン領域を形成する工程と、ソース領域を形成した後、前記半導体基板表面に第四の絶縁膜を形成する工程と、第四の絶縁膜を形成した後、この第四の絶縁膜を選択的に除去し、キャパシタ電極上面乃至ソース領域表面を露出させ、前記キャパシタ電極とのコンタクト孔を開く工程と、コンタクト孔を開孔した後、全面に第三の導電膜を堆積する工程と、第三の導電膜をパターンニングして、前記ソース領域上面とキャパシタ電極上面とを接続する電極を形成する工程とを有することを特徴とする。

【0013】尚、上記ゲート電極側面に第三の絶縁膜を残存させる工程において、キャパシタ電極上のソース領域形成予定側の半導体基板側面に、第三の絶縁膜を残存させることを特徴とする。

【0014】尚、上記コンタクト孔を開孔する工程において、キャパシタ電極上のソース領域形成予定側の半導体基板側面に、第四の絶縁膜を残存させることを特徴とする。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の半導体装置の製造方法を説明する。図2(a)はDRAMの要部平面図であり、図2(b)は図2(a)のI-IIに沿って見た断面図である。

【0016】図1(a)乃至(d)は、図2(b)のA-B部分における、本発明の第一の実施例にかかる半導体装置の製造工程を示す概略断面図である。

(1)n型拡散層1nが埋め込まれたP型Si基板1に、径が約620nmのトレンチを形成した後、その側面を約17nm程度のキャパシタ絶縁膜2a(例えば、Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>の2膜構成)で覆い、所定の高さ迄、n型不純物をドーピングしたPoly Si膜3を埋め込みトレンチキャパシタを形成する。更に、Poly Si膜3上のトレンチの側面に、約50nmのSiO<sub>2</sub>膜2bを形成した後、所定の高さ(Si基板の主表面より窪んだ位置)迄、キャパシタ電荷蓄積ノード4となるn型不純物をドーピングしたPoly Si膜を埋め込む。続いて、キャパシタ電荷蓄積ノード4とその上に形成さ

5  
れるワード線5を分離するため、Si基板1の主表面と同じ高さ迄、約100nm程度SiO<sub>2</sub>膜2cを形成する(図1(a)参照)。

【0017】(2)Si基板1表面に、ゲート絶縁膜となるSiO<sub>2</sub>膜6aを形成した後、順にPolySi膜、SiN膜7aを形成した後、PolySi膜、SiN膜7aをRIEで選択的に除去しワード線5を形成する。続いてストラップコンタクト形成予定領域11(径は約190nm)のSiO<sub>2</sub>膜2c(及びSiO<sub>2</sub>膜2a,2b)を、SiO<sub>2</sub>の選択比が高い(例えば、C<sub>4</sub>F<sub>8</sub>ガスを用いた)RIEにより除去し、キャパシタ電荷蓄積ノード4を露出させる(図1(b)参照)。

【0018】(3)Si基板1全面に、SiN膜7bを約80nm形成した後、ワード線5の側面にのみSiN膜7bが残存するよう、SiN膜7bをRIEでパターニングする。そして、セルフアライン法を用い、不純物を注入し、ソース領域8及びドレイン領域を形成する(図1(c)参照)。

【0019】(4)次いで、Si基板1全面に順次、SiO<sub>2</sub>膜6bを約10nm、SiN膜7cを約25nm、層間絶縁膜(例えば、BPSG膜)7dを約400nm堆積させる。尚、ワード線5を覆うSiN膜7b上では酸化反応を生じ難いため、SiN膜7a,7b上にSiO<sub>2</sub>膜6bは、ほとんど形成されない。

【0020】そして、ストラップコンタクト形成予定領域における、層間絶縁膜7dを層間絶縁膜7dの選択比が高い(例えば、C<sub>4</sub>F<sub>8</sub>ガスを用いた)RIEで、続いてSiN膜7cをSiNの選択比が高い(例えば、CHF<sub>3</sub>ガスを用いた)RIEで、SiO<sub>2</sub>膜6bをSiO<sub>2</sub>の選択比が高い条件のRIEで除去し、キャパシタ電荷蓄積ノード4とのコンタクトを開孔する。この時、キャパシタ電荷蓄積ノード4上のソース領域8形成予定部側面にSiN膜7cが残存している。尚、SiO<sub>2</sub>膜6b及びSiN膜7cの総膜厚は、キャパシタ電荷蓄積ノード4表面とSi基板1表面の高さとの差より小さいことが好ましい。理由は、キャパシタ電荷蓄積ノード4の露出面、つまり後に形成されるストラップコンタクトとの接触面の減少を防止するためである。

【0021】その表面に、不純物をドーピングしたPolySi膜9aを形成し、コンタクト孔以外に堆積したPolySi膜9aを除去し、ストラップコンタクト9を形成する(図1(d)参照)。

【0022】以下、本発明の主要な構成、それによる効果を述べる。本実施例では(2)の工程で、ストラップコンタクト9形成予定領域のSiO<sub>2</sub>膜2cを除去しているため、(4)のコンタクト開孔後に、(キャパシタ電荷蓄積ノード4上の)ソース領域8側のトレンチ内側面にSiN膜7cが残存する。

【0023】このSiN膜7cがRIE時に保護膜となるため、トレンチ側面のSiO<sub>2</sub>膜2はエッチングされない。従って、ストラップコンタクト用のPolySi膜9aと半導体基板は直接接触せず、すなわち不純物が拡散し縦形寄生MOSが発生することはない。

【0024】また、コンタクト開孔時に、SiO<sub>2</sub>膜6b、SiN膜7c、層間絶縁膜7dのみエッチングすれば良いため、(更にSiO<sub>2</sub>膜2cを除去していた)従来と比べ、ワード線5を覆うSiN膜7はほとんどエッチングされない。よって、ワード線が露出しストラップコンタクト9と接触する可能性を、従来より低下できる。

【0025】次に、本発明の第二の実施例を説明する。尚、第一の実施例と同じ部分は説明を割愛する。図3(a)及び(b)は、図2(a)のI-IIに沿ってみた、本発明の第二の実施例にかかる半導体装置の製造工程を示す概略断面図である。

(1),(2) Si基板1には、第一の実施例と同じ工程(上述した(1)及び(2))を経ることにより、トレンチキャパシタを有する半導体基板に、ワード線5が形成されている。

(3) Si基板1表面に、SiN膜7bを約80nm形成した後RIEでパターニングし、ワード線5の側面及び、キャパシタ電荷蓄積ノード4上のソース領域8形成予定部側面にSiN膜7bを残存させる。そして、セルフアライン法を用い、不純物を注入し、ソース領域8及びドレイン領域を形成する(図3(a)参照)。

(4) 次いで、Si基板1表面に順次、SiO<sub>2</sub>膜6bを約10nm、SiN膜7cを約25nm、層間絶縁膜(例えば、BPSG膜)7dを約400nm堆積した後、ワード線間のSiO<sub>2</sub>膜6、SiN膜7c、層間絶縁膜7dをRIEで除去し、キャパシタ電荷蓄積ノード4とのコンタクトを開孔する。

【0026】尚、SiO<sub>2</sub>膜6b及びSiN膜7cの総膜厚は、キャパシタ電荷蓄積ノード4表面とSi基板1表面の高さとの差より小さいことが好ましい。理由は、キャパシタ電荷蓄積ノード4の露出面、つまり後に形成されるストラップコンタクトとの接触面の減少を防止するためである。

【0027】そして、不純物をドーピングしたPolySi膜9aを形成し、コンタクト孔以外に堆積したPolySi膜9aを除去し、ストラップコンタクト9を形成する(図3(b)参照)。

【0028】本実施例では(3)の工程で、ストラップコンタクト9形成予定領域のSiO<sub>2</sub>膜2cを除去しているため、更には、ソース領域8形成予定部側面にSiN膜7bがあるため、第一の実施例と同様に次の効果が得られる。

【0029】すなわち、(3)のコンタクト開孔の工程後、キャパシタ電荷蓄積ノード4上のソース領域側のトレンチの内側面に、SiO<sub>2</sub>膜6及び、SiN膜7bが残存しているため、ストラップコンタクト用のPolySi膜9aと、MOSFETのソース領域8は直接接触しない、よって不純物が拡散し縦形寄生MOSが発生することはない。

【0030】尚、第一の実施例と比較し、キャパシタ電荷蓄積ノード4上のソース領域側のトレンチの内側面に形成された絶縁膜の膜厚が厚い為、この縦形寄生MOSの

(5)

7

発生防止の補償度は、第一の実施例と比較し高いと考えられる。

【0031】また、コンタクト開孔時に、SiO<sub>2</sub>膜6b、SiN膜7c、層間絶縁膜7dのみエッチングすれば良いため、(続いて更にSiO<sub>2</sub>膜2cを除去していた)従来と比べ、ワード線5を覆うSiN膜7はほとんどエッチングされない。よって、ワード線が露出しストラップコンタクト9と接触する可能性を、従来より低下できる。

【0032】尚、本発明において、上記した絶縁膜の種類は、上記実施例に限定されないが、上記実施例のように、(特にキャパシタ電荷蓄積ノード4上部における)トレンチ内側面の絶縁膜(キャパシタ絶縁膜2a、SiO<sub>2</sub>膜2b)と、キャパシタ電荷蓄積ノード4表面の絶縁膜(SiO<sub>2</sub>膜2c)が同じ種類の絶縁膜の場合に効果がある。更には、(キャパシタ電荷蓄積ノード4上部における)トレンチ内側面の絶縁膜に対しキャパシタ電荷蓄積ノード4表面の絶縁膜のエッチングレートが低い場合に効果を有する。理由は、従来の方法に従い半導体装置を形成した場合、キャパシタ電荷蓄積ノード4表面の絶縁膜をエッチングする際、トレンチ内側面の絶縁膜までエッチングされる可能性が高い為である。

【0033】また、(トレンチキャパシタのトレンチにおいて、キャパシタ電荷蓄積ノード4上のソース領域8側に残存する)SiN膜7c又はSiN膜7bの形状は、Poly Si膜9aからSi基板1への不純物の移動を防止に必要な膜厚(形状)をもっていれば良い。上記実施例では、キャパシタ電荷蓄積ノード4の側面のキャパシタ絶縁膜2a及びSiO<sub>2</sub>膜2bを覆う形状となっているため、不純物の移動の防止を十分に補償できる効果をもっている。加えて、本実施例においては、キャパシタ電荷蓄積ノード4とPoly Si膜9aとの接触面の減少をできるだけ防止する形状をとっているため、電流値の低下を抑制することができる。

【0034】

8

【発明の効果】本発明は、上述のように構成されているので、所望のストラップコンタクトを形成できるため、DRAMの電気的特性の劣化を防止することができる。

【図面の簡単な説明】

【図1】(a)乃至(d)は、本発明の第一の実施例にかかるストラップコンタクトの製造工程を示す概略断面図である。

【図2】(a)は、DRAMの要部平面図、(b)は図2(a)のI-IIに沿って見た断面図である。

【図3】(a)及び(b)は、本発明の第二の実施例にかかるストラップコンタクトの製造工程を示す概略断面図である。

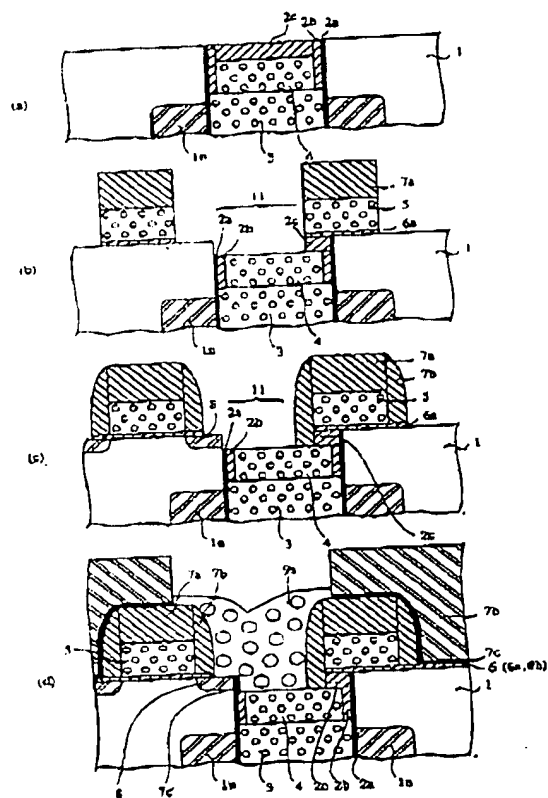
【図4】(a)乃至(c)は、従来のストラップコンタクトの製造工程を示す概略断面図である。

【符号の説明】

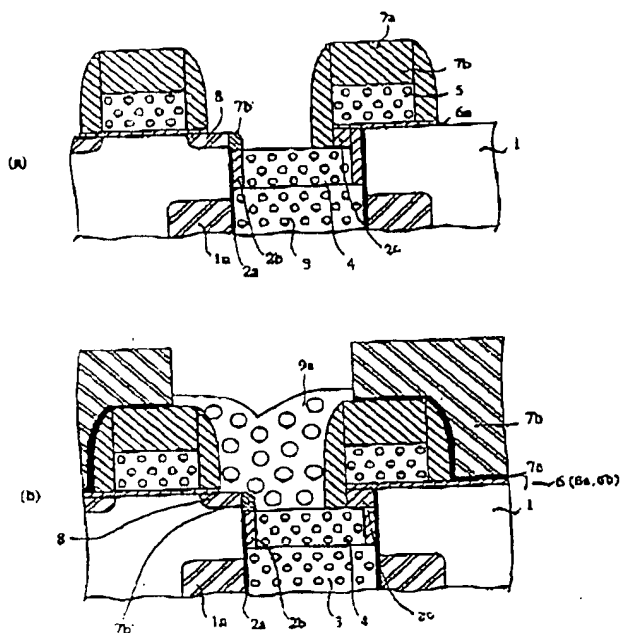
- 1 Si基板
- 1n n型拡散層
- 2a キャパシタ絶縁膜
- 2b SiO<sub>2</sub>膜
- 2c SiO<sub>2</sub>膜
- 3 Poly Si膜
- 4 キャパシタ電荷蓄積ノード
- 5 ワード線
- 6a SiO<sub>2</sub>膜
- 6b SiO<sub>2</sub>膜
- 7a SiN膜
- 7b SiN膜
- 7c SiN膜
- 7d 層間絶縁膜
- 8 ソース領域
- 9 ストラップコンタクト
- 9a Poly Si膜
- 10 拡散層
- 11 ストラップコンタクト形成予定領域

(6)

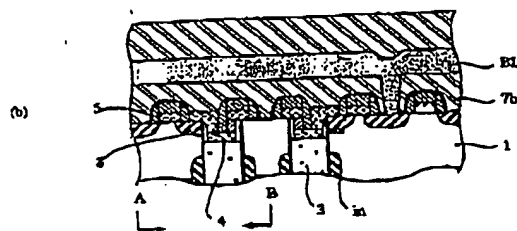
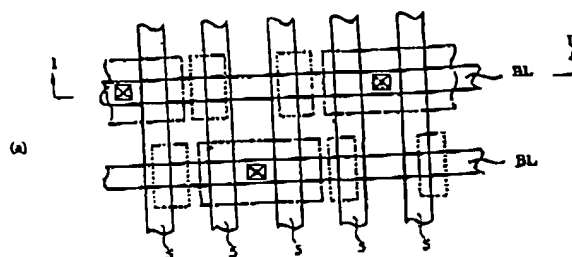
【図 1】



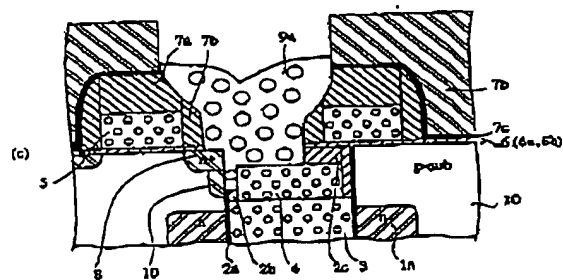
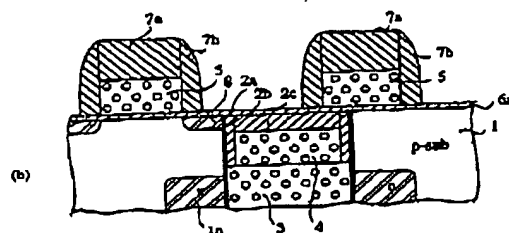
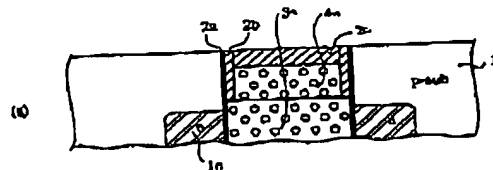
【図 3】



【図 2】



【図 4】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**